

Recrutement ingénieur logiciel (h/f) : Méthodes formelles et vérification de circuits

Type d'offre : ingénieur R&D

Lieu de travail : Centre de recherche Inria, Montbonnot St Martin (France)

Thème de recherche : Méthodes formelles et vérification de circuits

Equipe de recherche : CONVECS (<http://convecs.inria.fr>)

Durée du contrat : 12 mois renouvelables

Date de la prise de fonction : 1er décembre 2017

Rémunération : à partir de 30700 euros bruts annuels, selon diplômes et expérience

Date limite de candidature : 31 octobre 2017

Candidature en ligne : <https://jobs.inria.fr/public/classic/fr/offres/2017-00011>

Informations complémentaires sur le poste : Hubert Garavel (hubert.garavel@inria.fr)

A propos d'Inria et du poste

Inria, institut de recherche dédié au numérique, promeut « l'excellence scientifique au service du transfert technologique et de la société ». Inria emploie 2700 collaborateurs issus des meilleures universités mondiales, qui relèvent les défis des sciences informatiques et mathématiques. Son modèle ouvert et agile lui permet d'explorer des voies originales avec ses partenaires industriels et académiques. Inria répond ainsi efficacement aux enjeux pluridisciplinaires et applicatifs de la transition numérique. Inria est à l'origine de nombreuses innovations créatrices de valeur et d'emplois.

Le centre de recherche Inria Grenoble - Rhône Alpes compte près de 730 personnes réparties en 34 équipes de recherche et 9 services supports à la recherche.

Le poste proposé est basé au sein de l'équipe CONVECS, commune à l'Inria, au CNRS, à Grenoble INP et à l'Université Grenoble Alpes.

Mission

Le poste s'inscrit dans le cadre du projet national Securiot-2 qui vise à développer des méthodes innovantes pour la conception et certification de circuits pour l'Internet des Objets. Il s'agit d'améliorer les outils de vérification CADP (<http://cadp.inria.fr>) développés par l'équipe CONVECS et de les utiliser pour vérifier la robustesse de circuits en présence de fautes.

Descriptif du poste

Les activités consisteront, d'une part, à participer à la description formelle d'exemples de circuits considérés, à modéliser diverses fautes (transitoires ou permanentes) au niveau des portes logiques et étudier leur impact sur le comportement des circuits, et d'autre part, à contribuer à l'amélioration des logiciels CADP selon les besoins qui se feront jour.

Profil recherché

Diplôme : ingénieur, master ou doctorat en informatique. Les qualités recherchées sont le goût pour le logiciel et la rigueur intellectuelle dans la démarche de vérification et de test. Une connaissance des méthodes formelles et/ou une expérience de la programmation en langage C et/ou des compétences en conception de circuits seraient appréciées.

Avantages

Participation de l'employeur aux frais de restauration et de transport collectifs.

Informations complémentaires

Sécurité défense : Ce poste est susceptible d'être affecté dans une zone à régime restrictif (ZRR), telle que définie dans le décret n°2011-1425 relatif à la protection du potentiel scientifique et technique de la nation (PPST). L'autorisation d'accès à une zone est délivrée par le chef d'établissement, après avis ministériel favorable, tel que défini dans l'arrêté du 03 juillet 2012, relatif à la PPST. Un avis ministériel défavorable pour un poste affecté dans une ZRR aurait pour conséquence l'annulation du recrutement.